

# CIRCUITS NUMÉRIQUES VLSI : CONCEPTION AVANCÉE EN VHDL POUR CIBLE FPGA/ASIC

2 JOURS

1 200 EUROS

4-8 PERSONNES

GRENOBLE

## OBJECTIFS

- Comprendre les étapes de conception d'architectures numériques pour cible FPGA ou ASIC
- Apprendre une méthodologie de conception optimisée, de l'algorithme à l'implantation
- Acquérir un complément de compétences en conception VHDL (importance d'optimiser la réflexion sur l'architecture avant la phase de codage en VHDL d'une description synthétisable)

## ATOUTS PÉDAGOGIQUES

Cette formation s'appuie sur les moyens techniques de Grenoble INP-Phelma, école nationale supérieure de Physique, Électronique et Matériaux.

Les intervenants sont des enseignants-chercheurs et chercheurs du **laboratoire des Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés (TIMA)**, spécialistes reconnus dans le domaine de la conception de circuits et architectures numériques. Ils enseignent notamment aux futurs ingénieurs des filières « Systèmes Electroniques Intégrés » et « Microélectronique Telecoms ».

Les travaux pratiques se déroulent sur la plateforme de conception du **Centre Interuniversitaire de MicroElectronique et Nanotechnologies (CIME-Nanotech)**, unique plateforme de ce type en France dédiée à la formation dans le domaine de la microélectronique.

## LES + DE LA FORMATION

- Alternance entre apports théoriques et applications pratiques : plus de 60 % de la formation se déroule sous forme de travaux pratiques avec des études de cas sur ordinateurs équipés d'outils de CAO électronique de simulation et de synthèse au meilleur niveau et très utilisés dans l'industrie (\*)
- Le dernier jour sera consacré à la recherche d'une description VHDL donnant les meilleurs résultats en termes de ressources matérielles et de temps global de calcul pour une opération, à partir d'un algorithme imposé. Le résultat des différents stagiaires sera comparé à la référence donnée par l'enseignant.

(\*) La formation s'appuie en particulier sur le simulateur ModelSim de Mentor Graphics et l'outil de synthèse sur FPGA de Xilinx mais il est envisageable de réaliser des essais similaires dans un contexte ASIC avec un outil de synthèse de Synopsys

# PROGRAMME

## 1 - DE L'ALGORITHME À L'ARCHITECTURE PUIS AU CIRCUIT

- Machines à états et architecture « PC/PO » : rappels
- Importance de bien définir la synchronisation entre les blocs
- Méthodologie générale pour « traduire » un algorithme en une implantation numérique optimisée, décrite au niveau RTL (transferts de registres) sans utilisation d'outils de synthèse de haut niveau (HLS)
- Compromis et optimisations entre contrôle et éléments opératifs
- Optimisations par itérations successives : étude de cas sur un multiplieur séquentiel

## 2 - PRATIQUE : IMPLANTATIONS ALTERNATIVES DU MÊME ALGORITHME

- Implantation directe de l'algorithme en VHDL
- Implantation de l'algorithme en VHDL après analyse architecturale
- Comparaison des résultats après validation fonctionnelle et synthèse des deux versions
- Essais d'optimisations plus poussées par utilisation des options de synthèse (options disponibles dans les outils CAO)

## 3 - COMMENT ALLER PLUS LOIN DANS L'OPTIMISATION

- Objectifs d'optimisation : fréquence, surface, débit, consommation... compromis ou possibilité de tout optimiser simultanément ?
- Application à l'exemple traité dans la première partie (et retours sur les résultats de la première partie pratique)

## 4- PRATIQUE : NOUVELLE IMPLANTATION DU MÊME ALGORITHME

- Implantation de l'algorithme en VHDL après nouvelle analyse notamment sur les optimisations possibles en débit
- Comparaison des résultats après validation fonctionnelle et synthèse
- Obtention de la meilleure implantation (après synthèse) en combinant optimisations du codage VHDL et optimisations permises par l'outil de synthèse logique

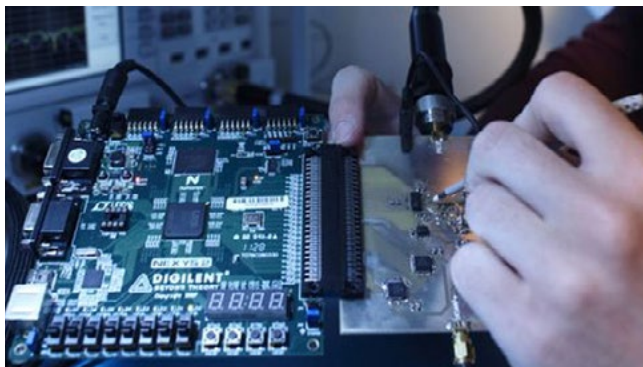
## POUR QUI ?

Cette formation s'adresse à des ingénieurs ou techniciens souhaitant implanter des applications numériques sur cible FPGA ou ASIC, à partir d'une description fonctionnelle de type algorithmique.

**Pré-requis** : notions de logique combinatoire et séquentielle (niveau Bac + 3 ou équivalent) et une certaine aisance avec le langage VHDL et les outils de simulation et de synthèse logique.

Le programme du stage « Circuits numériques : conception en VHDL pour cible FPGA » est un prérequis. Si vous débutez en conception VHDL, ce dernier stage est sans doute plus adapté pour vous.

**Sanction de la formation** : attestation de fin de formation et attestation de présence.



## CONTACT ET INSCRIPTION

**Katia Plentay**

04 76 57 45 03

[formation-continue.stages@grenoble-inp.fr](mailto:formation-continue.stages@grenoble-inp.fr)

**Grenoble INP - Formation continue**

46 avenue Félix Viallet, 38031 Grenoble Cedex 1

[formation-continue.grenoble-inp.fr](http://formation-continue.grenoble-inp.fr)